

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PH GB
 000164 WO
 MAT.
 DOSSIER
 (19) BUNDESREPUBLIK (17)

DEUTSCHLAND



DEUTSCHES

PATENTAMT

Offenlegungsschrift

(10) DE 196 26 126 A 1

(51) Int. Cl. 6:
H 01 L 25/04

DE 196 26 126 A 1

- (21) Aktenzeichen: 196 26 126.0
- (22) Anmeldetag: 28. 6. 96
- (43) Offenlegungstag: 2. 1. 98

(71) Anmelder:

Fraunhofer-Gesellschaft zur Förderung der angewandten Forschung e.V., 80636 München, DE

(74) Vertreter:

Jaeger, Böck, Köster, Tappe, 97072 Würzburg

(72) Erfinder:

Oppermann, Hans-Hermann, Dr.-Ing., 12045 Berlin, DE; Azdasht, Ghassem, Dipl.-Ing., 14052 Berlin, DE; Kasulke, Paul, Dipl.-Ing., 10551 Berlin, DE; Zakei, Elke, Dr.-Ing., 12163 Berlin, DE

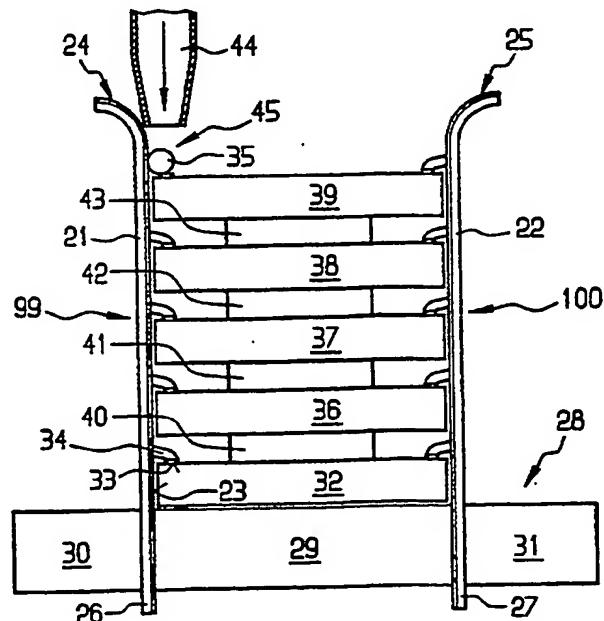
(56) Entgegenhaltungen:

IBM Technical Disclosure Bulletin, Vol. 38, No. 06, June 1995, S. 1;
IBM Technical Disclosure Bulletin, Vol. 38, No. 01, January 1995, S. 69-70;
JP 62-293749 A - in: Patents Abstracts of Japan, Sect. E, Vol. 12 (1988) No. 189 (E-616);

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Verfahren zur Ausbildung einer räumlichen Chipanordnung und räumliche Chipanordnung

(57) Verfahren zur Ausbildung einer räumlichen Chipanordnung mit mehreren, in verschiedenen Ebenen angeordneten, elektrisch miteinander verbundenen Chips (32, 36, 37, 38, 39), bei dem die Chips über ihre peripheren Anschlußflächen (33) mit zugeordneten Leiterbahnen (23) einer auf mindestens einem Trägersubstrat (21, 22) angeordneten Leiterbahnstruktur (24, 25) verbunden werden, indem die Chips entweder quer zur Längserstreckung des Trägersubstrats oder parallel zur Längserstreckung des flexibel ausgebildeten Trägersubstrats angeordnet werden, sowie eine mittels dieses Verfahrens ausgebildete räumliche Chipanordnung.



DE 196 26 126 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 10. 97 702 061/657

Beschreibung

Die vorliegende Erfindung betrifft ein Verfahren zur Ausbildung einer räumlichen Chipanordnung gemäß dem Anspruch 1 und eine räumlich ausgebildete Chipanordnung gemäß dem Anspruch 11.

Mit der zunehmenden Miniaturisierung von elektronischen Geräten, wie beispielsweise tragbaren Telefonen, die allgemein auch als "Handy" bezeichnet werden, oder tragbarer Computer, bekannt unter dem Begriff "Notebook", nehmen auch die Anforderungen an die Integrationsdichte der darin verwendeten elektronischen Bausteine zu. In besonderem Maße betrifft dies sicherlich in derartigen Geräten eingesetzte Speicherbausteine oder Speichererweiterungen, die optional verwendet werden können. Als Bauform für derartige hochintegrierte Speicherbausteine kommen mittlerweile in der Regel sogenannte "Multi-Chip-Module" (MCM) zum Einsatz, bei denen die einzelnen Chips übereinander angeordnet und elektrisch untereinander verbunden sind aufgrund der hohen Integrationsdichte, also der Anordnung einer Vielzahl von Chips auf kleinstem Raum, steigt natürlich auch die Ausfallwahrscheinlichkeit eines solchen Speicherbausteins, da es zum Bauteilversagen ausreichend ist, wenn auch nur einer der in einer Vielzahl verarbeiteten Chips fehlerhaft ist. Um ein Bauteilversagen im Betrieb der hochintegrierten Bausteine weitestgehend ausschließen zu können, erfolgt bislang eine Überprüfung der Bausteine nach Fertigstellung und vor Auslieferung bzw. Einbau in das betreffende elektronische Gerät. Hiermit ist zum einen ein zusätzlicher, dem eigentlichen Herstellungsvorgang nachfolgender Bauteilstest verbunden. Zum anderen bedeutet die Durchführung eines Bauteilstests erst nach Fertigstellung des kompletten Bauteils, daß im Falle eines Bauteilversagens, das in der Regel nur durch das Versagen eines einzelnen Chips bedingt ist, das gesamte Bauteil zum Ausschuß wird.

Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren zur Ausbildung einer räumlichen Chipanordnung bzw. eine räumliche Chipanordnung vorzuschlagen, das bzw. die trotz Erzielung einer hohen Integrationsdichte eine Möglichkeit zur frühzeitigen Fehlerdetektierung schafft, so daß eine Klassierung des kompletten Bauteils als Ausschuß weitestgehend verhindert werden kann.

Diese Aufgabe wird durch ein Verfahren mit den Merkmalen des Anspruchs 1 bzw. eine Chipanordnung mit den Merkmalen des Anspruchs 11 gelöst.

Erfnungsgemäß wird vorgeschlagen, zur Ausbildung einer räumlichen Chipanordnung mit mehreren, in verschiedenen Ebenen angeordneten, elektrisch miteinander verbundenen Chips die Chips über ihre peripheren Anschlußflächen mit zugeordneten Leiterbahnen einer auf mindestens einem Trägersubstrat angeordneten Leiterbahnstruktur zu kontaktieren. Dabei können die Chips entweder quer zum geradlinig ausgerichteten Trägersubstrat angeordnet werden, oder parallel zur Längserstreckung eines flexiblen Trägersubstrats.

Beide erfundungsgemäßen Alternativen bieten zum einen die Möglichkeit, die Chips in einer raumsparenden Struktur anzurichten, und zum anderen die Möglichkeit einer einfachen elektrischen Überprüfung der mit dem Trägersubstrat verbundenen Chips während der Herstellung der stapelförmigen Chipanordnung.

Die raumsparende Anordnung der Chips wird in dem einen Fall durch die Queranordnung der Chips relativ zur Längserstreckung des Trägersubstrats und in dem

anderen Fall dadurch geschaffen, daß nach Herstellung der Verbindung der Chips mit dem flexiblen Trägersubstrat das Trägersubstrat aufgrund seiner Flexibilität entsprechend der gewünschten Raumanordnung der Chips mit beliebigen Richtungswechseln der Längserstreckung angeordnet werden kann. So kann das flexible Trägersubstrat beispielsweise mäanderförmig oder auch spiralförmig angeordnet werden, woraus eine hohe räumliche Integrationsdichte für die Chips folgt.

In dem einen Fall läßt sich eine besonders hohe Integrationsdichte dadurch erzeugen, daß die Chips mit ihren längs einer Seitenkante angeordneten peripheren Anschlußflächen in eine den Leiterbahnen benachbarte, quer zur Längserstreckung der Leiterbahnen angeordnete Verbindungsposition gebracht werden und anschließend eine Verbindung zwischen jeweils einander zugeordneten Paarungen aus Leiterbahn und Anschlußfläche über ein zwischen der jeweiligen Leiterbahn und der zugeordneten Anschlußfläche appliziertes Verbindungsmedium erfolgt.

In dem anderen Fall kann eine besonders hohe Integrationsdichte dadurch erreicht werden, daß die Chips parallel zur Längserstreckung des Trägersubstrats mit ihren Anschlußflächen auf Leiterbahnen von beidseitig auf dem Trägersubstrat angeordneten Leiterbahnstrukturen kontaktiert werden und nach Kontaktierung der Chips eine mäanderförmige Anordnung des Trägersubstrats zur Ausbildung der räumlichen Chipanordnung erfolgt.

Als besonders vorteilhaft erweist sich die Durchführung der beiden vorgenannten Verfahrensalternativen, wenn nach erfolgter Kontaktierung eines Chips mit dem Trägersubstrat eine elektrische Überprüfung des Chips über die mit einer Prüfeinrichtung verbundene Leiterbahnstruktur des Trägersubstrats erfolgt.

Unabhängig von der Relativanordnung der Chips gegenüber dem Trägersubstrat erweist es sich als vorteilhaft, wenn zur Vorbereitung der Kontaktierung der Chips das oder die Trägersubstrate mit einem Ende in einer Einspanneinrichtung fixiert wird. Daher läßt sich die Einspanneinrichtung auch als Prüfeinrichtung verwenden.

Insbesondere in dem Fall, wenn es sich um Chips mit rückseitiger Metallisierung handelt, erweist es sich als vorteilhaft, wenn jeweils vor Kontaktierung eines weiteren Chips eine Abstandseinrichtung auf der Oberseite des zuvor kontaktierten Chips angeordnet wird. Zum einen wird bei geeigneter Auswahl des Materials für die Abstandseinrichtung eine Isolierung zwischen den Chips erreicht. Zum anderen wird auch eine statische Stabilisierung des stapelförmigen Aufbaus der Chipanordnung ermöglicht. Dieser Stabilisierungseffekt läßt sich noch weiter steigern, wenn für die Abstandseinrichtung ein adhäsives Material, beispielsweise ein Klebefutter, gewählt wird.

Im Falle der Verwendung eines Lotmaterials als Verbindungsmedium erweist es sich als vorteilhaft, wenn das Verbindungsmedium in Form vereinzelter Verbindungsmediumdepots auf die Leiterbahnen und/oder die Anschlußflächen aufgebracht und anschließend durch Umschmelzen aktiviert wird. Diese Art der Lotmaterialdepotapplikation ist besonders geeignet in dem Fall der querliegend zur Längserstreckung des Trägersubstrats angeordneten Chips. Im Fall der parallel zur Längserstreckung des flexiblen Trägersubstrats angeordneten Chips erweist sich zur Verbindung der Chips mit dem Trägersubstrat eine sogenannte "Face-down-Technik" zur Herstellung der Verbindung, wie beispielsweise das

"Flip-Chip-Verfahren", als besonders geeignet. Eine weitere Möglichkeit besteht in der Verwendung eines Klebematerials, das durch UV-Bestrahlung ausgehärtet, also zur Herstellung einer haltbaren Verbindung aktiviert wird.

Um letztendlich eine möglichst einfache Außenkontaktierung der räumlichen Chipanordnung zu ermöglichen, erweist es sich als besonders vorteilhaft, wenn nach Kontaktierung des letzten Chips zunächst ein Überstand des Trägersubstrats über der Oberseite des Chips umgeschlagen und mit der Oberseite verbunden wird und anschließend eine Durchkontaktierung von der Rückseite des Trägersubstrats auf die mit den Chipanschlußflächen verbundene Leiterbahnstruktur des Trägersubstrats erfolgt. Alternativ ist es auch möglich, bereits von vornherein mit einer entsprechenden Durchkontaktierung versehene Trägersubstrate zu verwenden.

Eine vorteilhafte Alternative hierzu wird erreicht, wenn zur Ausbildung einer Außenkontakteanordnung an der Chipanordnung vor der Kontaktierung des ersten Chips oder nach Kontaktierung des letzten Chips eine Leiterplatte oder auch ein modifizierter Chip mit einer auf der Außenseite angeordneten, flächig verteilten Außenkontakteanordnung über an der Leiterplattenperipherie oder der Chipperipherie angeordnete und mittels einer Anschlußleiterbahnstruktur mit der Außenkontakteanordnung verbundene Innenkontakte mit den Leiterbahnen des Trägersubstrats kontaktiert wird.

Um eine gegen Umwelteinflüsse möglichst weitgehend abgedichtete Chipanordnung mit einer darüber hinaus möglichst großen mechanischen Stabilität zu erreichen, ist es vorteilhaft, wenn nach Kontaktierung der gewünschten Anzahl der Chips ein Verguß der erzeugten Chipanordnung zur Ausbildung einer Gehäusung erfolgt.

Die erfindungsgemäße räumliche Chipanordnung weist mehrere in verschiedenen Ebenen angeordnete, elektrisch miteinander verbundene Chips auf, wobei die Chips über ihre peripheren Anschlußflächen mit zugeordneten Leiterbahnen einer Leiterbahnstruktur von zumindest einem Trägersubstrat verbunden sind, wobei das Trägersubstrat eine zumindest einseitig auf einer Trägerschicht angeordnete Leiterbahnstruktur aufweist, deren Leiterbahnen mit jeweils zugeordneten Anschlußflächen der quer zum Trägersubstrat angeordneten Chips verbunden sind, oder das Trägersubstrat zwei beidseitig auf einer flexiblen Trägerschicht angeordnete Leiterbahnstrukturen aufweist und die Leiterbahnen jeder Leiterbahnstruktur mit jeweils zugeordneten Anschlußflächen beidseitig parallel zum Trägersubstrat angeordneter Chips verbunden sind.

Bei einer vorteilhaften Ausführungsform der Chipanordnung sind die Chips über mehrere Reihen peripherer Anschlußflächen mit mehreren Trägersubstraten verbunden, die jeweils einer Reihe zugeordnet sind.

Unabhängig von der grundsätzlichen Ausbildung der Chipanordnung, also unabhängig davon, ob eine Mehrzahl querliegend zur Längserstreckung des Trägersubstrats angeordneter Chips mit dem Trägersubstrat verbunden sind, oder ob die Chips parallel zur Längserstreckung des Trägersubstrats mit diesem verbunden sind, kann die räumliche Chipanordnung mit einer außenliegend angeordneten Außenkontakteflächenanordnung versehen sein. Eine Möglichkeit der Ausbildung dieser Außenkontakteflächenanordnung besteht darin, parallel zu einem äußeren Chip, einen äußeren Abschluß bildend, eine Leiterplatte mit einer auf ihrer Au-

ßenseite angeordneten, flächig verteilen Außenkontakteanordnung vorzusehen, die über an der Leiterplattenperipherie angeordnete und mittels einer Anschlußleiterbahnstruktur mit der Außenkontakteanordnung verbundende Innenkontakte mit den Leiterbahnen des Trägersubstrats verbunden ist.

Zur Erhöhung der mechanischen Stabilität der gesamten Chipanordnung erweist es sich als vorteilhaft, wenn zwischen den Chips Abstandseinrichtungen vorgesehen sind.

Wenn in der Chipanordnung Chips angeordnet sind, die zwei peripherie, versetzt zueinander angeordnete Reihen Anschlußflächen aufweisen und jede Leiterbahnstruktur eine der Gesamtzahl der Anschlußflächen beider Reihen entsprechende Anzahl von Leiterbahnen aufweist, läßt sich bei besonders einfach ausgebildeter Leiterbahnstruktur eine Vielzahl von Leiterbahnen mit den peripheren Anschlußflächen der Chips verbinden.

Eine besonders hohe Integrationsdichte läßt sich im Fall der parallel zum Trägersubstrat angeordneten Chips erzielen, wenn das Trägersubstrat zumindest bereichsweise mäanderförmig angeordnet ist.

Wenn die Chipanordnung in den zwischen dem Trägersubstrat und den Chips vorhandenen Zwischenräumen ein Vergußmaterial aufweist, läßt sich eine mechanisch besonders stabil ausgebildete und hermetisch gegen Umwelteinflüsse abgeschirmte Chipgehäusung erzielen. Die Gehäusung kann auch durch Einhüllung oder Umspritzung mit einem geeigneten Material ausgebildet sein.

Nachfolgend werden verschiedene Ausführungsformen der räumlichen Chipanordnung unter Erläuterung der zu ihrer Herstellung angewandten Verfahren anhand der Zeichnungen näher erläutert. Es zeigen:

Fig. 1 ein Ausführungsbeispiel einer stapelförmigen Chipanordnung während der Herstellung in einer Variante des erfindungsgemäßen Verfahrens;

Fig. 2 eine Draufsicht auf einen in Fig. 1 dargestellten Chip;

Fig. 3 eine Seitenansicht der in Fig. 1 während des Herstellungsverfahrens gezeigten, nunmehr fertiggestellten Chipanordnung;

Fig. 4 eine Draufsicht auf eine gegenüber Fig. 3 leicht modifizierte Chipanordnung;

Fig. 5 die Darstellung eines Trägersubstrats zur Ausbildung einer Chipanordnung;

Fig. 6 eine in der Ansicht Fig. 3 entsprechende Teilseitenansicht einer Chipanordnung;

Fig. 7 die Kontaktobерfläche eines Chips mit einer Draufsicht eines zugeordneten Trägersubstrats;

Fig. 8 ein beidseitig mit Chips kontaktiertes Trägersubstrat zur Ausbildung einer weiteren Ausführungsform einer Chipanordnung;

Fig. 9 eine mit dem in Fig. 8 dargestellten Trägersubstrat gebildete Chipanordnung;

Fig. 10 eine Variante zu dem in Fig. 8 dargestellten Trägersubstrat mit einer gegenüber Fig. 8 abweichenden Anordnung von Chips;

Fig. 11 eine mit dem in Fig. 10 dargestellten Trägersubstrat gebildete Chipanordnung;

Fig. 12 eine Variante zu der in Fig. 9 dargestellten, mit dem in Fig. 8 dargestellten Trägersubstrat gebildeten Chipanordnung.

Fig. 1 zeigt ein Verfahrensstadium bei der Herstellung einer in Fig. 3 im Endzustand dargestellten Chip-Stapelanordnung 20. Zur Ausbildung der Chip-Stapelanordnung 20 (Fig. 3) werden bei dem vorliegend dargestellten Ausführungsbeispiel zwei flexibel ausgebilde-

te Trägersubstrate 21, 22 mit ihren eine Mehrzahl von Leiterbahnen 23 aufweisenden Leiterbahnstrukturen 24, 25 einander gegenüberliegend angeordnet. Zur Fixierung der Trägersubstrate 21, 22 in der in Fig. 1 dargestellten Relativposition werden die Trägersubstrate 21, 22 mit ihren Enden 26, 27 in einer Einspanneinrichtung 28 aufgenommen. Die Einspanneinrichtung 28 weist im vorliegenden Fall einen Abstandsblock 29 auf, gegen den die Enden 26, 27 der Trägersubstrate 21 bzw. 22 durch Klemmbacken 30, 31 geklemmt gehalten werden. Der Abstandsblock 29 ist so bemessen, daß ein erster Chip 32 in der in Fig. 1 dargestellten Weise zwischen den Trägersubstraten 21, 22 mit seinen hier in zwei senkrecht zur Zeichenebene verlaufenden Reihen peripherer Anschlußflächen 33 benachbart den Leiterbahnen 23 der Leiterbahnstrukturen 24, 25 positioniert werden kann.

Hierzu liegt der Chip 32 mit seiner Rückseite am Abstandsblock 29 der Einspanneinrichtung 28 an.

Bei der in Fig. 1 dargestellten Konfiguration sind die Anschlußflächen 33 des Chips 32 über Lotverbindungen 34 aus einem umgeschmolzenen Lotmaterialdepot 35 zur Ausbildung einer elektrisch leitfähigen Verbindung zwischen den Anschlußflächen 33 und den zugeordneten Leiterbahnen 23 der Leiterbahnstrukturen 24 bzw. 25 vorgesehen.

Aus Fig. 1 wird deutlich, daß die Chip-Stapelanordnung 20 (Fig. 3) sandwichartig aufgebaut wird aus einer alternierenden Anordnung von weiteren Chips 36 bis 39 und zwischenliegenden Kleberschichten 40 bis 43. Die Kleberschichten 40 bis 43 dienen dabei zum einen zur Ausbildung einer Abstandseinrichtung zwischen benachbarten Chips 32, 36 und 36, 37 und 37, 38 und 38, 39 sowie andererseits wegen der flexiblen Trägersubstrate 21, 22 zur relativen Fixierung der gesamten Anordnung.

Wie aus Fig. 1 weiterhin zu ersehen ist, werden, wie in Fig. 1 am Beispiel der Verbindung des obersten Chips 39 dargestellt, die Lotmaterialdepots 35 zur Erzeugung der Lotverbindungen 34 vereinzelt durch ein als Applikationskapillare 44 ausgebildetes Werkzeug positionsgenau im Verbindungsbereich 45 zwischen den Anschlußflächen 33 und den Leiterbahnen 23 plaziert. Die zur Herstellung der Lotverbindung durch Umschmelzen notwendige thermische Energie kann bei entsprechender Ausbildung der Applikationskapillare 44 als Thermodeneinrichtung durch diese selbst oder auch durch eine hiervon getrennte Umschmelzeinrichtung erfolgen.

Mit der in Fig. 2 dargestellten Draufsicht auf einen Chip 53 ist gleichzeitig eine von der Darstellung der Chip-Stapelanordnung 20 in Fig. 3 abweichende Variante zur Ausbildung einer in Fig. 4 dargestellten Chip-Stapelanordnung 46 dargestellt, bei der abweichend von der Darstellung in Fig. 1 zusätzlich zu den beiden gegenüberliegend angeordneten Trägersubstraten 21, 22, die hier Querseiten 47, 48 des Chips 53 zugeordnet sind, zwei weitere Trägersubstrate 49, 50, vorgesehen, die Längsseiten 51, 52 des Chips 53 zugeordnet sind.

Die in den Fig. 2 und 4 dargestellte Chip-Stapelanordnung 46 mit hier insgesamt vier Trägersubstraten 21, 22 und 49, 50 ist, wie deutlich aus Fig. 2 hervorgeht, geeignet für eine Kombination mit Chips in der Art des Chips 53, die nicht nur mit zwei gegenüberliegend angeordneten Reihen peripherer Anschlußflächen 33, sondern darüber hinaus mit zwei weiteren gegenüberliegend angeordneten peripheren Reihen von Anschlußflächen 54 versehen sind.

Entsprechend den unter Bezugnahme auf die Fig. 1

gemachten Ausführungen sind auch die Anschlußflächen 54 des Chips 53 wie die Anschlußflächen 33 des Chips 53 über Lotverbindungen 34 mit den Leiterbahnen 23 der Trägersubstrate 21, 22 und 49, 50 verbunden. Natürlich können auch abweichend von den hier vorgeschlagenen Lotmaterialverbindungen andere Verbindungsarten und Verbindungsmaterialien zur elektrischen Kontaktierung der Anschlußflächen 33 und 54 der Chips verwendet werden. Beispielsweise sind auch leitfähige Kleber einsetzbar.

Unabhängig davon, ob es sich hinsichtlich der besonderen Ausführungsform um eine Chip-Stapelanordnung 20 oder eine Chip-Stapelanordnung 46 handelt, erfolgt der Aufbau der Chip-Stapelanordnung nach der in Fig. 1 dargestellten Art, also durch ein sandwichartiges Aufeinanderschichten der Chips. Dabei empfiehlt es sich, zur Erhöhung der mechanischen Stabilität der gesamten Chip-Stapelanordnung 20 oder 46, insbesondere in dem Fall, daß flexibel ausgebildete Trägersubstrate 21, 22 und 49, 50 verwendet werden, die einzelnen Chips 32 bis 39 oder 53 durch adhäsiv ausgebildete Abstandseinrichtungen 40 bis 43 miteinander zu verbinden.

Im Fall der Verwendung von in sich starren Trägersubstraten kann darauf verzichtet werden. Je nach Konfiguration der Anschlußflächen der in eine Chip-Stapelanordnung zu integrierenden Chips kann der Aufbau einer Chip-Stapelanordnung auch mit nur einem Trägersubstrat erfolgen. Bei in sich starr ausgebildeten Trägersubstraten kann der Aufbau der Chip-Stapelanordnung auch bei von der in Fig. 1 dargestellten Orientierung der Trägersubstrate 21, 22 abweichender Orientierung — beispielsweise bei waagerechter Ausrichtung des oder der Trägersubstrate — erfolgen.

Unabhängig von der Ausbildung der zum Aufbau einer Chip-Stapelanordnung verwendeten Trägersubstrate ermöglicht der beispielhaft in Fig. 1 dargestellte Aufbau einer Chip-Stapelanordnung 20 einen quasi gleichzeitig mit dem Aufbau der Chip-Stapelanordnung erfolgenden Bauteilstest der einzelnen Chips 32 bis 39. Hierzu wird nach jeder Applikation eines einzelnen Chips, beginnend mit dem Chip 32, und Fertigstellung der hier als Lotverbindung 34 ausgebildeten, elektrisch leitfähigen Verbindungen zu den Leiterbahnen 23 der Trägersubstrate 21, 22 eine elektrische Überprüfung des jeweili gen zuletzt eingesetzten Chips über die Leiterbahnen 23 der Trägersubstrate 21, 22 durchgeführt. Eine hierzu geeignete, nicht näher dargestellte Prüfeinrichtung kann als separate Einrichtung mit den in der Einspanneinrichtung 28 eingespannten Enden 26 und 27 der Trägersubstrate 21, 22 verbunden werden. Es besteht jedoch auch die Möglichkeit, die Einspanneinrichtung 28, insbesondere den Abstandsblock 29 der Einspanneinrichtung 28, als elektrische Prüfeinrichtung oder zumindest als Kontakteinrichtung für eine elektrische Prüfeinrichtung auszuführen.

Die in Fig. 1 dargestellte Anordnung zur Ausbildung einer Chip-Stapelanordnung 20 ermöglicht auf besonders einfache Art und Weise eine kontinuierliche Herstellung von Chip-Stapelanordnungen 20. Hierzu werden die Trägersubstrate 21 und 22 als Endlosssubstrate auf Rollen oder einer ähnlichen Vorratseinrichtung angeordnet bereitgehalten und jeweils um einen Trägersubstratsabschnitt 99, 100 nach einem Lösen der Einspanneinrichtung 28 vorbewegt, wobei die Trägersubstratsabschnitte 99, 100 so bemessen sind, daß die gewünschte Anzahl von Chips zwischen den Trägersubstratsabschnitten 99, 100 zur Ausbildung der Chip-Stapelanordnung 20 angeordnet werden kann. Nach Fertig-

stellung der Anordnung werden die nunmehr mit den Chips verbundenen Trägersubstratschnitte 99, 100 durch eine geeignete, hier nicht näher dargestellte Trenneinrichtung benachbart der Einspanneinrichtung 28 abgetrennt, so daß, durch eine weitere Vorschubbewegung bewirkt, die nächsten Trägersubstratschnitte 99, 100 mit Chips bestückt werden können.

Um eine Kontaktierung der fertiggestellten Chip-Stapelordnung 20 oder 46 zu vereinfachen, kann die Chip-Stapelordnung 20 bzw. 46 zumindest zu einer Seite hin mit einer Leiterplatte 55 bzw. 56 abgeschlossen werden, die, wie in den Fig. 3 und 4 beispielhaft dargestellt, mit einer Außenkontakteflächenanordnung 57 bzw. 58 nach Art eines "Ball-Grid-Array" versehen sein kann.

Wie insbesondere aus der in Fig. 4 dargestellten Draufsicht deutlich wird, sind zur Verbindung mit der Leiterplatte 56 die hier flexibel ausgebildeten Trägersubstrate 21, 22 und 49, 50 mit ihren oberen Enden über periphere Kontaktänder 59, 60, 61 und 62 der Leiterplatte 56 derart umgeschlagen, daß die Leiterbahnen 23 der Trägersubstrate 21, 22 und 49, 50 in einer Überdeckungslage mit Innenkontakteflächen 63 der Leiterplatte 56 kontaktiert werden können. Von den Innenkontakteflächen 63 führen Kontaktbahnen 64 zu den einzelnen in der vorbeschriebenen Außenkontakteflächenanordnung 58 konfigurierten Außenkontakteflächen 65 der Leiterplatte 56.

Wie Fig. 3 zeigt, kann eine Leiterplatte 55 oder auch eine andere eine Außenkontakteflächenanordnung ermöglichte Einrichtung sowohl am oberen als auch am unteren Ende einer Chip-Stapelordnung 20 oder auch 46 angeordnet sein. Zur Ausbildung einer abgeschlossenen Gehäusung für die der in der Chip-Stapelordnung 20 oder auch der Chip-Stapelordnung 46 angeordneten Chips 32 und 36 bis 39 bzw. 53 ist die Chip-Stapelordnung 20 bzw. 46 in den am Beispiel der Chip-Stapelordnung 20 in Fig. 3 dargestellten Chip-Zwischenräumen 66 mit einem Vergußmaterial ausgefüllt, das zudem auch zusätzlich die Trägersubstrate umhüllen kann. Gehäuse und mit einer Außenkontakteflächenanordnung versehene Chip-Stapelordnungen lassen sich besonders vorteilhaft in der SMD-Technologie verwenden.

Fig. 5 zeigt mit durchgezogenen Linien dargestellt ein flexibles Trägersubstrat 67 in einer in der Ebene ausgebreiteten Darstellung, bei dem eine Außenkontakteflächenanordnung 68 integral in einer flexiblen Trägerschicht 69 des Trägersubstrats 67 ausgebildet ist. Hierzu geht die aus einzelnen Leiterbahnen 70 zusammenge setzte Leiterbahnstruktur 71 im Endbereich des Träger substrats 67 in eine Anschlußleiterbahnstruktur 72 über. Die Anschlußleiterbahnstruktur 72 weist Kontaktbahnen 73 auf die auf derselben Seite der Trägerschicht 69 angeordnet sind wie die Leiterbahnen 70 der Leiterbahnstruktur 71. Auf der Gegenseite der Trägerschicht 69 sind gegenüberliegend den freien Enden der Kontaktbahnen 73 hier durch Lotpunkte 74 gebildete Außenkontakteflächen vorgesehen, die über nicht näher dargestellte Durchkontaktierungen mit den Kontaktbahnen 73 verbunden sind.

Das in Fig. 5 in ausgezogenen Linien dargestellte Trägersubstrat 67 ermöglicht analog den beiden in Fig. 1 dargestellten Trägersubstraten 21, 22 die Kombination mehrerer Chips 32 und 36 bis 39 zu einer Chip-Stapelordnung, wobei das mit ausgezogenen Linien dargestellte Trägersubstrat 67 zur Kombination mit Chips geeignet ist, die, wie die in Fig. 1 dargestellten Chips 32 und

36 bis 39, zwei gegenüberliegende Reihen peripherer Anschlußflächen aufweisen. Ausgehend von dem in Fig. 5 dargestellten Ausführungsbeispiel ist das Träger substrat 67, das mit insgesamt 32 Leiterbahnen 23 versehen ist, geeignet, Chips zu verbinden, die in zwei gegenüberliegenden Reihen jeweils 16 peripher Anschlußflächen aufweisen. Die Verbindung der Chipanschlußflächen mit den Leiterbahnen 23 kann analog zu der unter Bezugnahme auf Fig. 1 erläuterten Art und Weise erfolgen. Wie in Fig. 5 durch zwei seitlich an einem Hauptstrang 96 des Trägersubstrats 61 angesetzte, mit gestricheltem Linienverlauf dargestellte Seitenstränge 97, 98 angekennzeichnet, kann ein Trägersubstrat, das nach Art des Trägersubstrats 67 mit einer integrierten Außenkontakteflächenanordnung versehen ist, auch zur Bestückung mit insgesamt vier Reihen peripherer Anschlüsse aufweisenden Chips verwendet werden. Dabei sind dann zusätzliche Außenkontakteflächen in der Außenkontakteflächenanordnung vorzusehen.

Fig. 6 zeigt hier beispielhaft, bezogen auf den Fall einer Chip-Stapelordnung mit zwei Trägersubstraten 21, 22, eine andere Möglichkeit zur Ausbildung einer Außenkontakteflächenanordnung 75. Zur Ausbildung der Außenkontakteflächenanordnung 75 sind die Trägersubstrate 21, 22 nach Durchführung der Kontaktierung der Leiterbahnen 23 mit Anschlußflächen 33 eines obersten Chips 39 mit ihren Trägersubstratenden 76, 77 in Richtung auf die Oberseite oder Kontaktflächenseite des Chips 39 umgeschlagen. Zur definierten Lage der Trägersubstratenden 76, 77 und deren Festlegung gegenüber dem Chip 39 befindet sich zwischenliegend eine adhäsive Abstandseinrichtung 78, etwa nach Art der Abstandseinrichtungen 40 bis 43 der in Fig. 1 dargestellten Anordnung.

Zur Ausbildung der Außenkontakteflächenanordnung 75 sind die Leiterbahnen 23 im Bereich der Trägersubstratenden 76, 77 auf die Rückseite der Trägersubstrate 21, 22 durchkontakteert. Dies kann durch Applikation und Umschmelzen von Lotkugeln in Trägerschichtausnehmungen, die auf die Rückseite der Leiterbahn 23 münden, geschehen, so daß, wie in Fig. 6 dargestellt, die Außenkontakteflächen der Außenkontakteflächenanordnung durch Lotpunkte 79 gebildet sind.

Fig. 8 zeigt eine Konfiguration aus einem Trägersubstrat 80, das beidseitig mit Leiterbahnen 81 aufweisenden Leiterbahnstrukturen 82, 83 versehen ist und Chips 84, 85, 86, 87, 88, die alternierend versetzt, wie in Fig. 8 dargestellt, auf beide Leiterbahnstrukturen 82 bzw. 83 des Trägersubstrats 80 kontaktiert werden. Die Kontaktierung kann nach dem an sich bekannten Flip-Chip Verfahren durchgeführt werden, bei dem die Chips 84 bis 88 mit ihren Anschlußflächen 89 (Fig. 7), die mit nicht näher dargestellten Kontaktmetallisierungen versehen sind, gegen die den einzelnen Anschlußflächen 89 jeweils zugeordneten Leiterbahnen 81 der Leiterbahnstrukturen 82 und 83 gesetzt und unter Einwirkung von Druck und Temperatur mit diesen verbunden werden. Aus der nebeneinander liegenden Darstellung eines Chips 84 und der Leiterbahnstruktur 82 des Trägersubstrats 80 wird deutlich, daß jeder Anschlußfläche 89 eine Leiterbahn 81 zugeordnet ist.

Wie schon unter Bezugnahme auf Fig. 1 ausgeführt, kann auch bei der in Fig. 8 dargestellten Konfiguration nach jeder Kontaktierung eines Chips 84 bis 88 ein elektrischer Bauteilstest unter Ausnutzung der Leiterbahnen 81 des Trägersubstrats 80 durchgeführt werden. Genau wie bei der in Fig. 1 dargestellten Anordnung kann dann bei Feststellung eines Bauteilversagens der jeweilige

Chip durch Lösen der Verbindung, also etwa durch Entlöten, wieder vom Trägersubstrat 80 entfernt und gegen einen neuen Chip ausgetauscht werden.

Nach Durchführung der Bauteiltests kann das flexible Trägersubstrat 80 zur Ausbildung der in Fig. 9 dargestellten Chip-Stapelanordnung 90 mäanderförmig angeordnet werden, wobei jeweils eine adhäsive Zwischenschicht 91 zur Fixierung des mäanderförmigen Aufbaus zwischen einem Chip 84 bis 88 und einem benachbarten Trägersubstratabschnitt 92 angeordnet wird. Zur Ausbildung einer Außenkontakteanordnung kann analog zu den bereits vorstehend ausgeführten Beispielen verfahren werden. Darüber hinaus ist analog zu den Ausführungen betreffend die Chip-Stapelanordnungen 20 und 46 auch bei der Chip-Stapelanordnung 90 ein Verguß, beispielsweise mit einem Epoxidharz, möglich, um eine Gehäusung der Chip-Stapelanordnung 90 zu ermöglichen.

Fig. 10 zeigt eine gegenüber Fig. 8 abgewandelte Konfiguration, bei der Chips 93 zwar auch auf beiden Seiten des beidseitig mit der Leiterbahnstruktur 82 bzw. 83 versehenen Trägersubstrats 80 angeordnet werden, jedoch jeweils paarweise einander überliegend.

Fig. 11 zeigt ein Beispiel für eine Chip-Stapelanordnung 94, die ausgehend von der in Fig. 10 dargestellten Konfiguration gebildet ist. Dabei ist das Trägersubstrat 80 wieder mäanderförmig angeordnet, wobei nunmehr die adhäsiven Zwischenschichten 91 jeweils zwischen benachbarten Chips 93 angeordnet sind.

Fig. 12 zeigt schließlich eine ausgehend von der in Fig. 8 dargestellten Konfiguration alternative Anordnung einer Chip-Stapelanordnung 95 zur Verdeutlichung, daß mit der in Fig. 8 oder auch der in Fig. 10 dargestellten Konfiguration beliebig aufgebaute Stapelanordnungen erzielbar sind.

Patentansprüche

1. Verfahren zur Ausbildung einer räumlichen Chipanordnung (20, 46, 90, 94, 95) mit mehreren, in verschiedenen Ebenen angeordneten, elektrisch miteinander verbundenen Chips (32, 36, 37, 38, 39; 53; 84 bis 88, 93), bei dem die Chips über ihre peripheren Anschlußflächen (33, 54) mit zugeordneten Leiterbahnen (23) einer auf mindestens einem Trägersubstrat (21, 22; 49, 50; 67; 80) angeordneten Leiterbahnstruktur (24, 25; 71; 82, 83) verbunden werden, indem die Chips entweder quer zur Längserstreckung des Trägersubstrats oder parallel zur Längserstreckung des flexibel ausgebildeten Trägersubstrats angeordnet werden.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die längs zumindest einer Seitenkante eines Chips (32, 36 bis 39) angeordneten peripheren Anschlußflächen (33, 54) in eine den Leiterbahnen (23) benachbarte, quer zur Längserstreckung der Leiterbahnen (23) angeordnete Verbindungsposition gebracht werden und anschließend eine Verbindung zwischen jeweils einander zugeordneten Paarungen aus Leiterbahn (23) und Anschlußfläche (33 bzw. 54) über ein zwischen der jeweiligen Leiterbahn und der zugeordneten Anschlußfläche appliziertes Verbindungsmedium (35) erfolgt.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Chips (84 bis 88) parallel zur Längserstreckung des Trägersubstrats (80) mit ihren Anschlußflächen (54) auf Leiterbahnen (81) von beidseitig auf dem Trägersubstrat (80) angeordne-

ten Leiterbahnstrukturen (82, 83) kontaktiert werden und nach Kontaktierung der Chips (84 bis 88) durch eine mäanderförmige Anordnung des Trägersubstrats die räumliche Chipanordnung (90, 94, 95) ausgebildet wird.

4. Verfahren nach einem oder mehreren der vorangegangenen Ansprüche, dadurch gekennzeichnet, daß nach erfolgter Kontaktierung eines Chips (32, 36 bis 39, 53, 84 bis 88, 93) eine elektrische Überprüfung des Chips über die mit einer Prüfeinrichtung verbundene Leiterbahnstruktur (24, 25; 71; 82, 83) des Trägersubstrats (21, 22; 49, 50; 67; 80) erfolgt.

5. Verfahren nach einem oder mehreren der vorangegangenen Ansprüche, dadurch gekennzeichnet, daß das Trägersubstrat (21, 22; 49, 50) zur Vorbereitung der Kontaktierung der Chips (32, 36 bis 39, 53) mit einem Ende (26, 27) in einer Einspanneinrichtung (28) fixiert wird.

6. Verfahren nach einem oder mehreren der vorangegangenen Ansprüche, dadurch gekennzeichnet, daß vor Kontaktierung eines weiteren Chips eine Abstandseinrichtung (40 bis 43) auf der Oberseite des zuvor kontaktierten Chips angeordnet wird.

7. Verfahren nach einem oder mehreren der vorangegangenen Ansprüche, dadurch gekennzeichnet, daß das Verbindungsmedium in Form vereinzelter Verbindungsmaterialdepots (35) auf die Leiterbahnen (23) und/oder die Anschlußflächen (33, 54) aufgebracht und anschließend aktiviert wird.

8. Verfahren nach einem oder mehreren der vorangegangenen Ansprüche, dadurch gekennzeichnet, daß zur Ausbildung einer Außenkontakteanordnung (75) an der Chipanordnung (20, 46) nach Kontaktierung des letzten Chips zunächst ein Überstand des Trägersubstrats (21, 22) über der Oberseite des Chips umgeschlagen und mit der Oberseite verbunden wird, und anschließend eine Durchkontaktierung von der Rückseite des Trägersubstrats auf die Leiterbahnen (23) des Trägersubstrats erfolgt.

9. Verfahren nach einem oder mehreren der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß zur Ausbildung einer Außenkontakteanordnung (55, 56) an der Chipanordnung vor der Kontaktierung des ersten Chips (32) oder nach Kontaktierung des letzten Chips (39) eine Leiterplatte (55, 56) mit einer auf ihrer Außenseite angeordneten, flächig verteilten Außenkontakteanordnung (57, 58) über ihre an der Leiterplattenperipherie angeordnete und mittels einer Anschlußleiterbahnstruktur (72) mit der Außenkontakteanordnung verbundene Innenkontakte (63) mit den Leiterbahnen (23) des Trägersubstrats (21, 22; 49, 50) kontaktiert wird.

10. Verfahren nach einem oder mehreren der vorangegangenen Ansprüche, dadurch gekennzeichnet, daß nach Kontaktierung der gewünschten Anzahl von Chips ein Verguß der erzeugten Chipanordnung zur Ausbildung einer Gehäusung erfolgt.

11. Räumliche Chipanordnung (20, 46, 90, 94, 95) mit mehreren in verschiedenen Ebenen angeordneten, elektrisch miteinander verbundenen Chips (32, 36 bis 39; 53; 84 bis 88; 93), bei der die Chips über ihre peripheren Anschlußflächen (33; 54) mit zugeordneten Leiterbahnen (21, 81) einer Leiterbahnstruktur (24, 25; 82, 83) von zumindest einem Trägersubstrat (21, 22; 49, 50; 67; 80) verbunden sind, wobei das Trägersubstrat eine zumindest einseitig auf einer Trägerschicht angeordnete Leiterbahnstruktur (24, 25) aufweist, deren Leiterbahnen (23) mit je-

weils zugeordneten Anschlußflächen (33) der quer zum Trägersubstrat (21, 22; 49, 50) angeordneten Chips verbunden sind, oder wobei das Trägersubstrat (80) zwei beidseitig auf einer flexiblen Trägerschicht angeordnete Leiterbahnstrukturen (82, 83) aufweist und die Leiterbahnen (81) jeder Leiterbahnstruktur (82, 83) mit jeweils zugeordneten Anschlußflächen beidseitig parallel zum Trägersubstrat (80) angeordneter Chips (84 bis 86; 93) verbunden sind. 5

12. Chipanordnung nach Anspruch 11, dadurch gekennzeichnet, daß die Chips über mehrere Reihen peripherer Anschlußflächen (33) mit mehreren Trägersubstraten (21, 22; 49, 50) verbunden sind, die jeweils einer Reihe Anschlußflächen (33) zugeordnet sind. 10

13. Chipanordnung nach Anspruch 11 oder 12, dadurch gekennzeichnet, daß parallel zu einem Chip, einen äußeren Abschluß bildend, eine Leiterplatte (55, 56) mit einer auf ihrer Außenseite angeordneten, flächig verteilten Außenkontakteflächenanordnung (57, 58) über ihre an der Leiterplattenperipherie angeordneten und mittels einer Anschlußleiterbahnstruktur (72) mit der Außenkontakteflächenanordnung (57, 58) verbundenen Innenkontakte (63) 15 mit den Leiterbahnen des Trägersubstrats (21, 22; 49, 50) kontaktiert ist. 20

14. Chipanordnung nach einem oder mehreren der Ansprüche 11 bis 13, dadurch gekennzeichnet, daß zwischen den Chips (32, 36 bis 39; 53; 84 bis 88; 93) 25 Abstandseinrichtungen (40 bis 43; 78) vorgesehen sind. 30

15. Chipanordnung nach einem oder mehreren der Ansprüche 11 bis 14, dadurch gekennzeichnet, daß die Chips (84 bis 88) zwei periphere, versetzt zueinander angeordnete Reihen Anschlußflächen (89) 35 aufweisen und jede Leiterbahnstruktur (82, 83) eine der Gesamtzahl der Anschlußflächen beider Reihen entsprechende Anzahl von Leiterbahnen (81) aufweist. 40

16. Chipanordnung nach einem oder mehreren der Ansprüche 11 bis 15, dadurch gekennzeichnet, daß das Trägersubstrat (80) mäanderförmig angeordnet ist. 45

17. Chipanordnung nach einem oder mehreren der Ansprüche 11 bis 16, dadurch gekennzeichnet, daß die Chipanordnung (20, 46, 90, 94, 95) durch ein in Chipzwischenräume (66) eingefülltes Vergußmaterial zu einem Block ausgebildet ist. 50

Hierzu 6 Seite(n) Zeichnungen

- Leerseite -

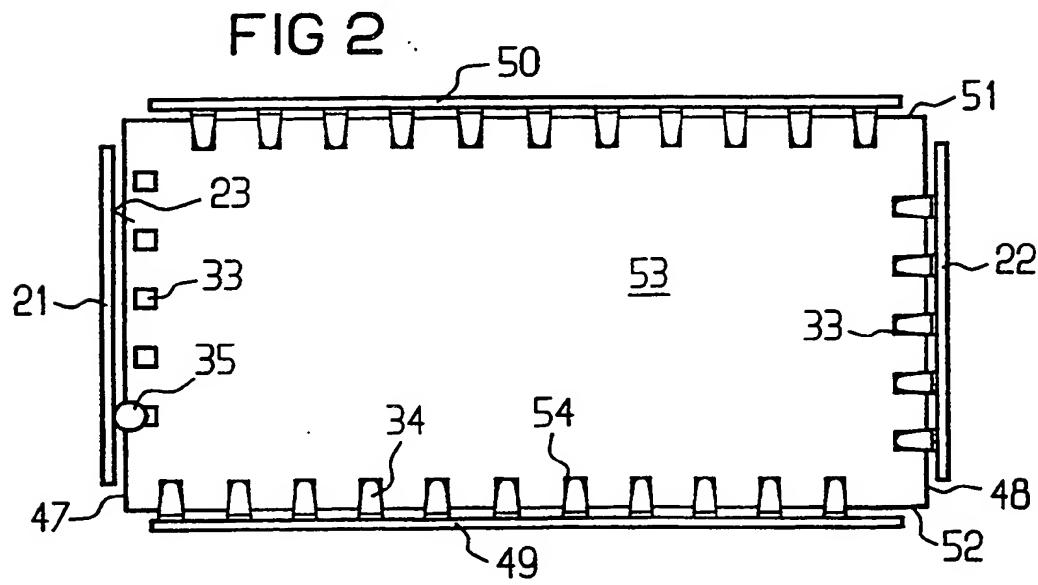
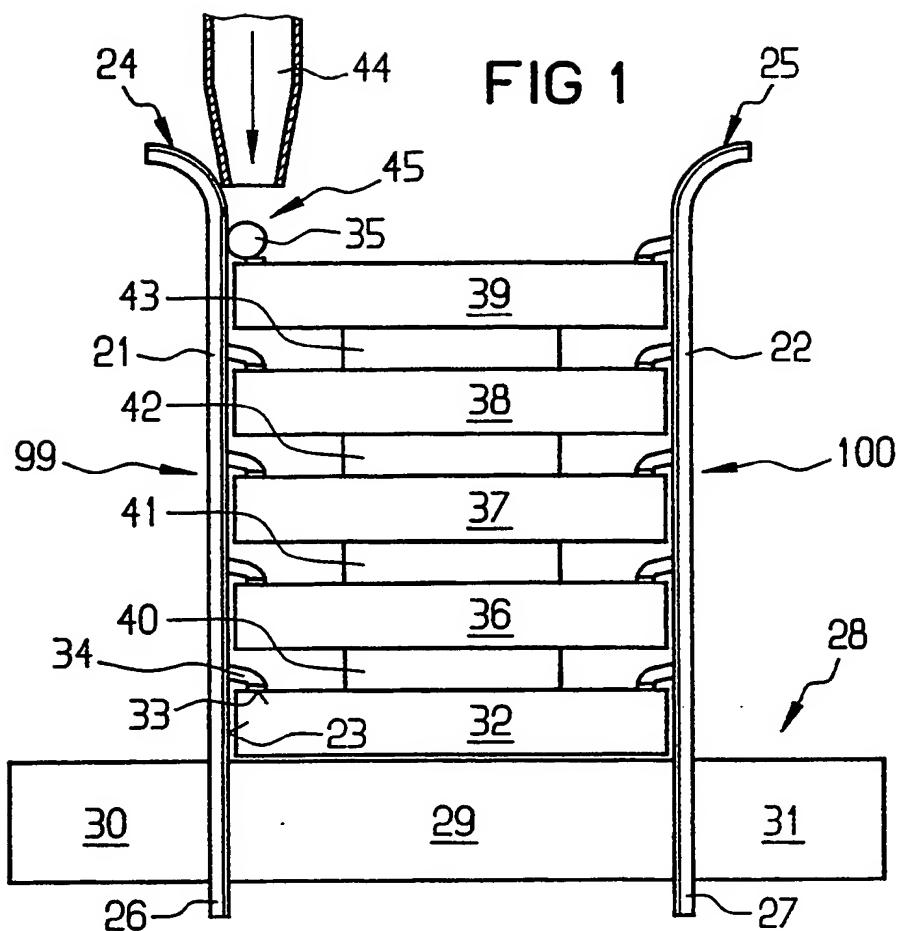


FIG 3

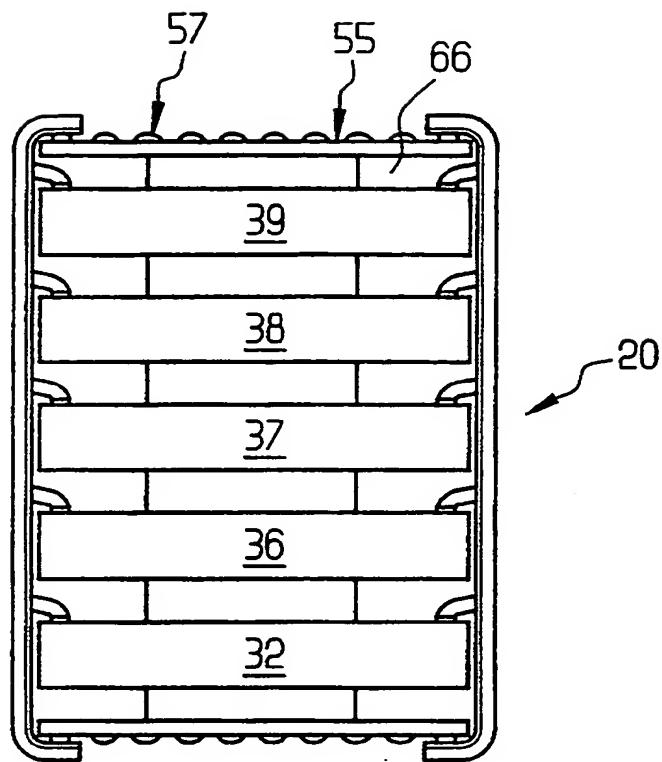


FIG 4

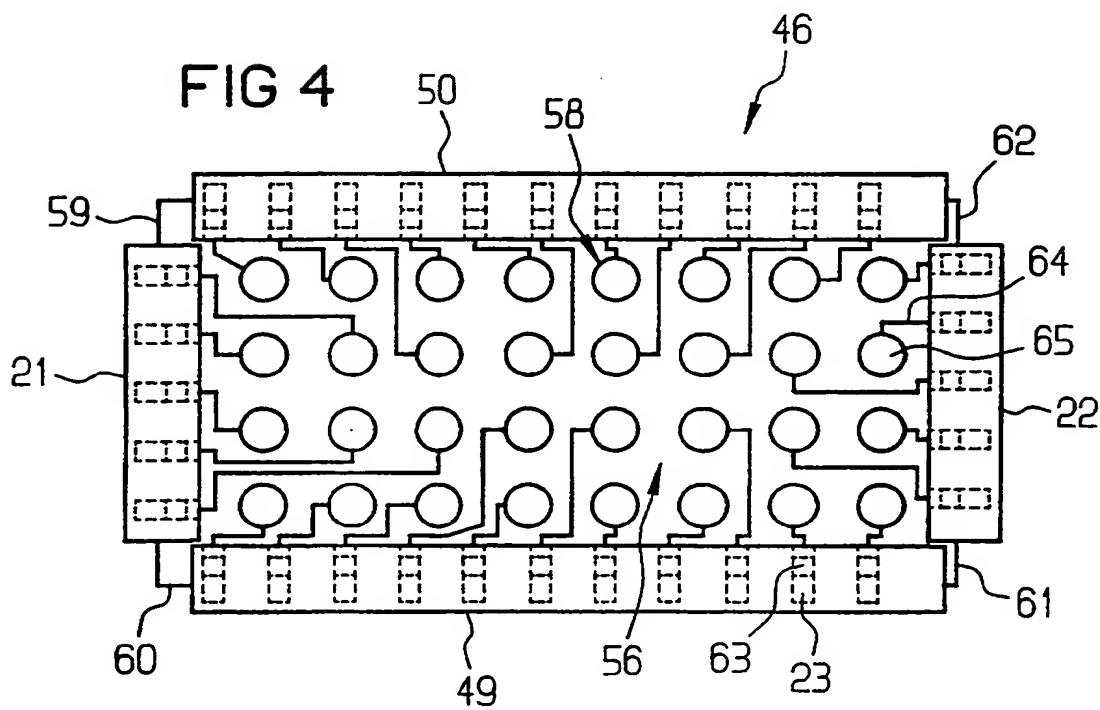


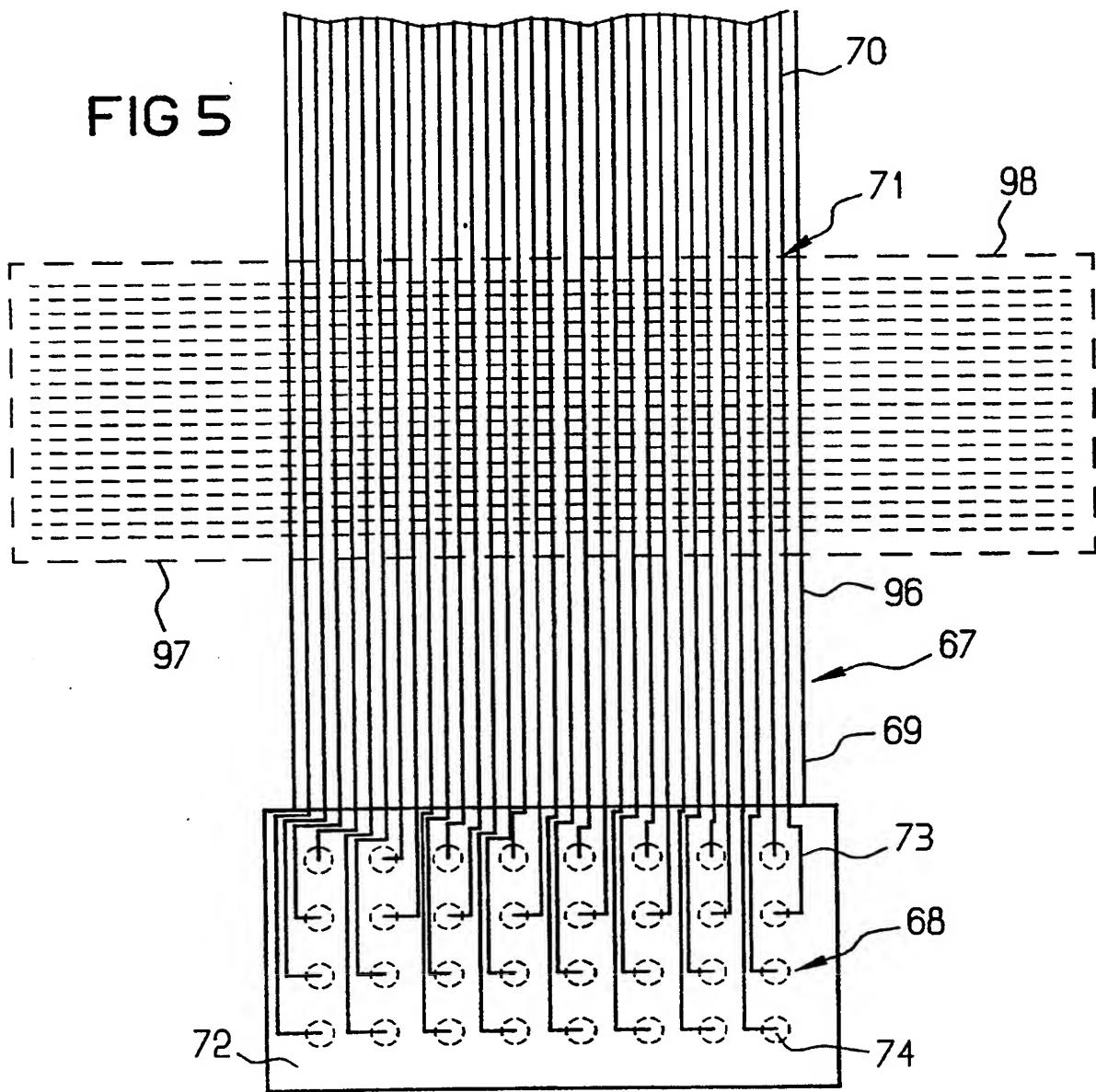
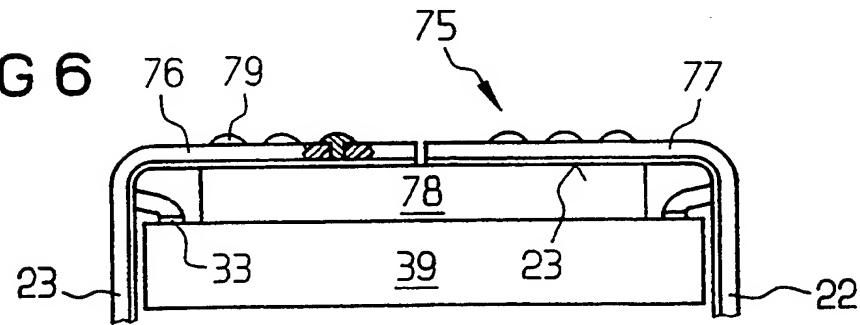
FIG 5**FIG 6**

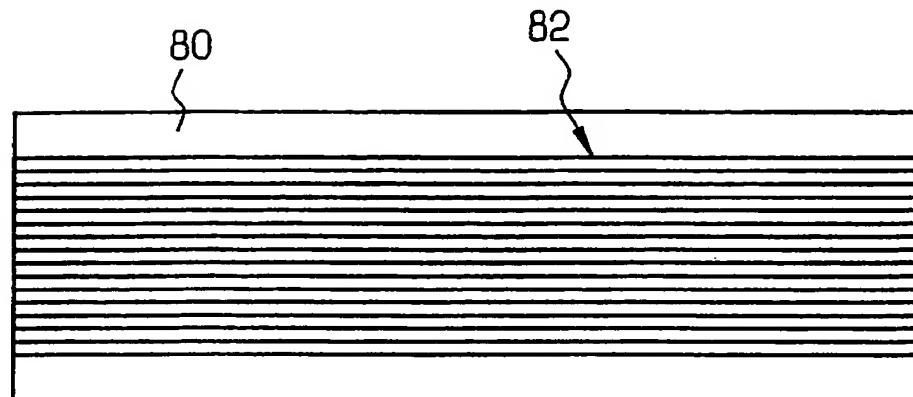
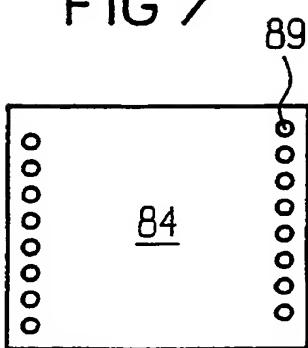
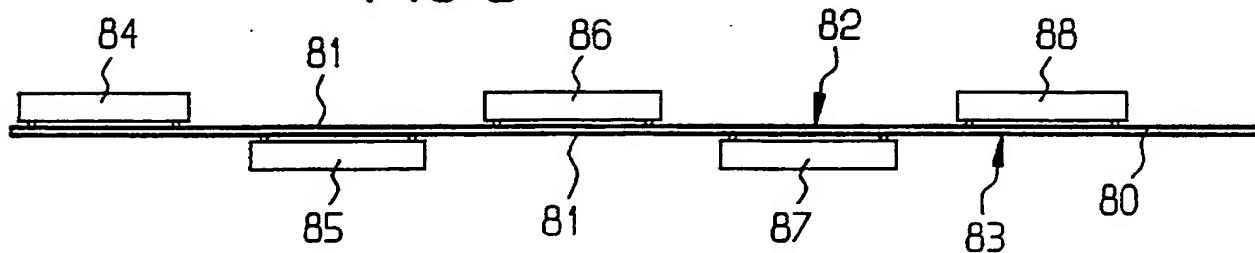
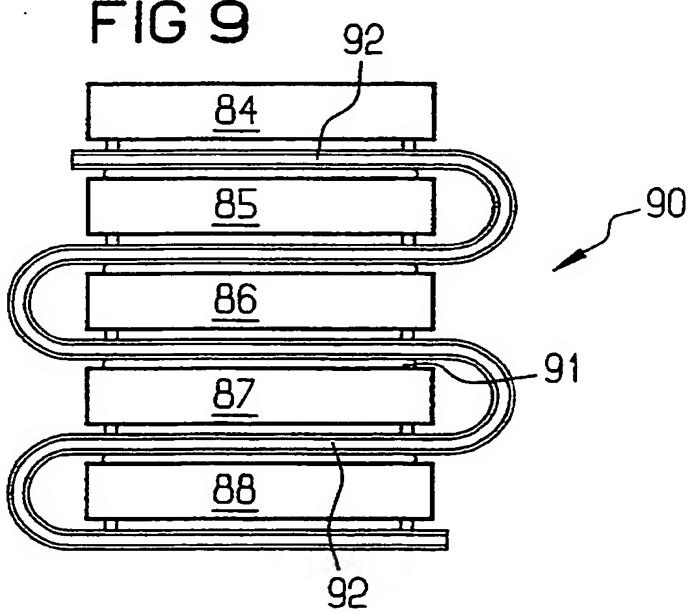
FIG 7**FIG 8****FIG 9**

FIG 10

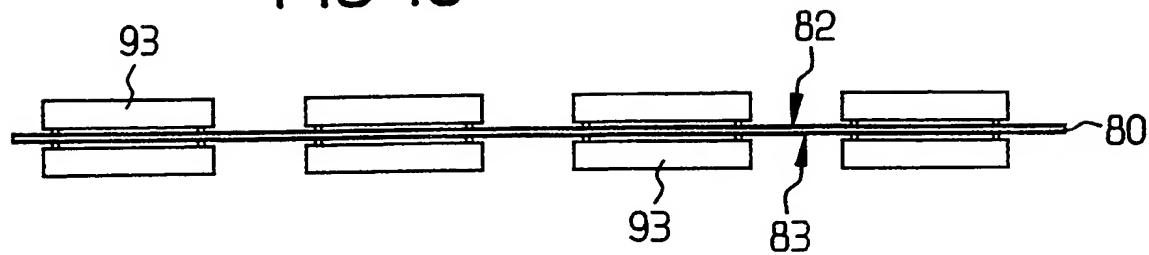
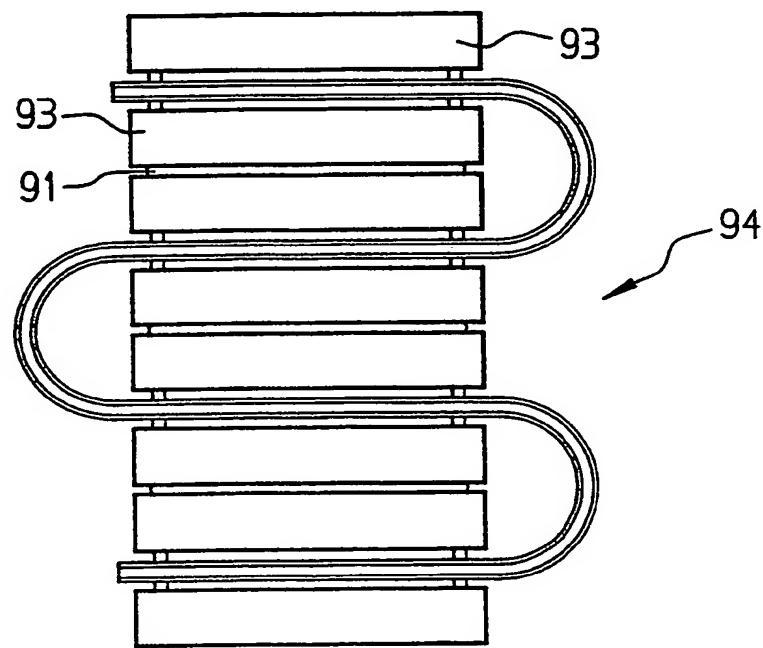


FIG 11



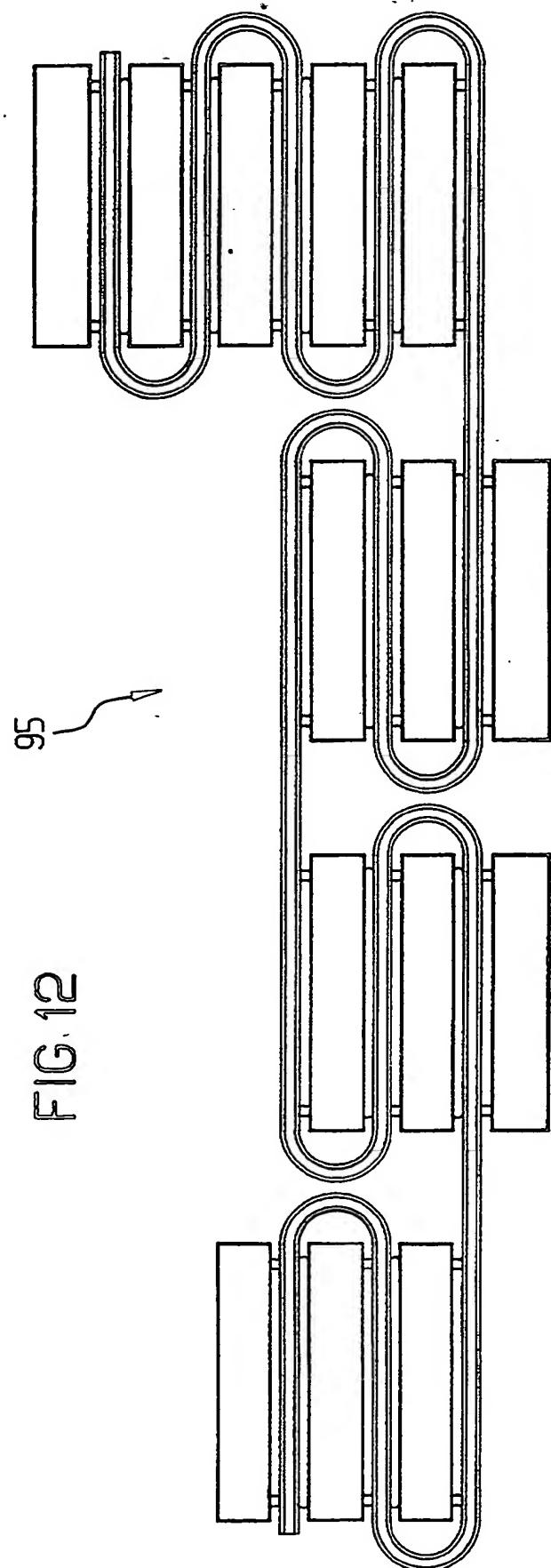


FIG. 12

702 061/657